



Home



Search



List

☐ Include

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: USG USA EPA EPB WO JP; Full patent spec.

Years: 1971-2001

Text: Patent/Publication No.: JP62043505

[no drawing available]

[Download This Patent](#)[Family Lookup](#)[Citation Indicators](#)[Go to first matching text](#)

JP62043505 A2

METHOD AND INSTRUMENT FOR DETECTING DEFECT OF PATTERN

HITACHI LTD

Inventor(s): MAEDA SHUNJI ; MAKIHIRA HIROSHI ; KUBOTA HITOSHI

Application No. 60181738 JP60181738 JP, Filed 19850821,

Abstract: PURPOSE: To enable the automatic inspection and the high speed inspection of a multilayer pattern by correcting a change in the speed of an X-Y stage to detect a specific region on the pattern to be inspected and positioning the pattern with a high accuracy.

CONSTITUTION: The position of an X-Y stage 11 in an X direction is detected by a position detector, which produces a timing signal for every displacement of the stage 11 by a constant distance and the timing signal is supplied to an irradiated light quantity storing type image sensor 17 as a start signal. At this time, though the period of the start signals is changed by the effect of a change in the speed of the X-Y stage, since the period is equal to an incident light quantity storing time of the sensor 17, a gradational image from which the effect of a change in speed is removed by normalizing the output of the sensor 17 by said time is detected in synchronism with the position of stage 11. Thus, a specific pattern on a chip is detected and a timing for taking in the detected pattern into an image memory 21 is controlled. As a result, a chip arrangement error in an X-Y direction is corrected and the gradational image in synchronism with the position of the chip is stored in the image memory 21. Thus, a multilayer pattern is detected with a high accuracy and a visual inspection is automated.

COPYRIGHT: (C)1987,JPO&Japio

Int'l Class: G01B01124;



Home



Search



List

☐ Include

For further information, please contact:

<http://www.micropat.com/cgi-bin/pslist>

2001/11/12

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-43505

⑬ Int. Cl.⁴
G 01 B 11/24識別記号 庁内整理番号
8304-2F

⑭ 公開 昭和62年(1987)2月25日

審査請求 未請求 発明の数 2 (全8頁)

⑮ 発明の名称 パターン欠陥の検出方法及び装置

⑯ 特 願 昭60-181738

⑰ 出 願 昭60(1985)8月21日

⑱ 発 明 者 前 田 俊 二 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 牧 平 坦 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 発 明 者 窪 田 仁 志 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

パターン欠陥の検出方法及び装置

2. 特許請求の範囲

1. パターンを一定方向に移動することによって副走査をする一方で、該一定方向と直交する方向に配されている1次元撮像素子を主走査することにより、パターンの画像を検出し比較検査する方法において、

検査対象が一定量移動する毎に1次元撮像素子に信号を与えることにより補正した濃度画像とし、また繰返しパターンの特定パターンを検出することによって画像信号を記憶するタイミングを制御することにより、XY両方向の繰返しパターン配列誤差を補正し、前記繰返しパターンに同期して濃度画像を記憶し、予め記憶された繰返しパターンの濃度画像を読み出し、前記濃度画像と比較して、欠陥検出を行うことを特徴とするパターン欠陥の検出方法。

2. 特許請求の範囲第1項記載のパターン欠陥の検出方法において、

前記補正した濃度画像は前記検出対象が一定量移動する毎に、該移動に要した時間を基準として前記濃度画像を正規化することにより得ることとするパターン欠陥の検出方法。

3. パターンを一定方向に移動させる手段と、前記一定方向と直交する方向に配置されている1次元撮像素子と、

検査対象が一定量移動する毎に前記1次元撮像素子に信号を与える手段と、

前記撮像素子から入力した前記検査対象上の繰返しパターンの濃度画像を記憶する手段と、

前記繰返しパターン上の特定パターンを検出することによって前記濃度画像を記憶するタイミングを制御し、XY両方向の該繰返しパターン配列誤差を補正する手段と、

前記繰返しパターンに同期してその濃度画像を記憶する一方、予め記憶していた繰返し

特開2002-43505 (2)

パターン画像の濃度画像を読み出して、濃度画像の比較を行う手段とを有するパターン欠陥の検出装置。

4. 特許請求の範囲第3項記載のパターン欠陥の検出装置において、

前記信号を与える手段は、前記検査対象が一定量移動するのに要した時間を基準として前記1次元画像素子の出力を正規化する手段を含むパターン欠陥の検出装置。

5. 特許請求の範囲第3項記載のパターン欠陥の検出装置において、

前記繰返しパターン配列誤差を修正する手段は、最初の副走査において該繰返しパターンの上端或いは下端を検出することにより上下方向の誤差を算出し、

第2回目以降の副走査において該繰返しパターンの左端或いは右端を検出することにより算出した番地と共に前記記憶する手段の番地を記憶しを行う手段を含むパターン欠陥の検出装置。

一例を示す平面図である。LSIウェハ1は、直径3 inchから5 inch、或いは8 inch程度の大きさで、厚さ0.5 mm程度のシリコン単結晶の薄板の表面に、チップ2と呼ばれる多数の繰返しパターンが形成されている。

1枚のLSIウェハ1上のチップ2では、すべて同一の回路パターンを有しているので、チップ2内の回路パターンを検査するためには近接した2つのチップ2内の同一箇所20、21を顕微鏡で高倍に拡大し、これらの画像を比較し不一致部分を欠陥と判定することができる。

図9図に、従来のLSIウェハ外観検査装置の一例を示す。LSIウェハ1上の近接する2つのチップ2上の対応する点20、21を照明光30、31で照明し、対物レンズ40、41で高倍に拡大して光電変換器50、51上に結像させる。光電変換器50、51は、光学像を電気信号に変換し、判定回路6で2つの電気信号を比較判定する。被検査回路パターンが正常の場合には、光電変換器50、51上に結像さ

3. 発明の詳細な説明

(発明の利用分野)

本発明は、LSIウェハなどの半導体素子の多層パターン層の外観を検査する技術に係り、特にXアステージと1次元イメージセンサを用いてパターン欠陥を検出する方法と装置に関するものである。

(発明の背景)

LSIなどの集積回路は高集積化と小型化の傾向にある。このような微細なパターンの生産は、その生産工程の中で細心の注意を払っても、パターンに欠陥が発生することが多く、精密な検査が必要である。初期の検査は、多数の検査員によって顕微鏡を用いた目視により行われていたが、目が疲れ易く、欠陥の見逃しが多く品質管理の面で問題があった。また、生産量の増大に伴い、検査を自動化することが極めて重要な課題となっている。

まず、検査対象となるLSIウェハを四面を使用して説明する。図8図は、LSIウェハの

れた光学像は同一となり、従って光電変換器出力も同一となる。欠陥が存在すると、異なった信号となるのでこれらを比較することにより、欠陥検出が可能となる。そして光電変換器として1次元イメージセンサを用い、Xアステージ7を高速に移動させて微細なパターン欠陥を検出するものである。

かかる装置に於て多層構造から成るパターンを検査する場合に於て、当該パターンの2値化では情報量が不足するので濃度画像化して比較しなければならず、そうならば光電変換器50、51で検出される2箇所の回路パターンがウェハの正常部で誤差関係まで同一であることが要求される。

しかし実際には、照明光30、31の不均一、光電変換器50、51の特性の不均一によって、検出されるパターンが同一であっても濃度差が生じてしまい、上述の装置により多層パターン上の微細な欠陥を検出することは著しい困難を伴う。また2組の光学系は装置の価格を上昇さ

特開昭62-43505 (3)

せてしまう。

そこで光学系を1組だけとし、対物レンズ4、光電変換器5によりチップ2.0のパターンを検出し、これをメモリ(図示せず)に格納しておき、チップ2.0のパターンを同一の光電変換器5により検出した時に、これと前記のメモリに格納してある2.0のパターンを読み出して比較する方法が考えられる。

1組の光学系とカメラを用いて2チップを比較検査する方法を詳しく述べてある公知例として特開昭57-154003がある。これはカメラを用いてXYステージをステップモリビートで移動させてパターンを検出するので、ステージの速度変動に起因する欠陥検出上の不都合は生じない。またウェハの回転誤差を補正するため、チップの頂点座標を求めて2チップの位置合せを行っており、チップの配列誤差を補正している。しかし、この方法はあくまでもXYステージをステップモリビートで移動させてパターンを検出する必要がある。スループ

も、またウェハ上近接した領域でも監視できない。

非常に微細なパターン欠陥を検出するためには、XYステージが一定速度で移動することが不可欠であるが、XYステージの速度変動は比較する2チップ間に誤差を生じ、欠陥検出性能を阻害すること、さらに第10図に示すようなウェハ上のパターンの値かな配列誤差(0.5mm程度)もまた誤差を生じさせ検出の障害となることが本発明を成す過程で判明した。

そこで本発明に於ては、CCDイメージセンサの如き照射光量密度形の検像素子を用いることでXYステージの速度変動を補正し、一方において検査対象パターン上の特定領域、例えばスクライプエリアを検出し、画像メモリに入力するタイミングを制御することによって繰返しパターンの位置合せを高精度化する構成を採用している。

詳述すれば、

1) XYステージのX方向位置(固定座方向位

トの向上を図る上では限界があった。

(発明の目的)

本発明の目的は多層パターンを自動検査するための装置並びに検査方法であって高速検査を可能とするものを提供することにある。

(発明の概要)

多層パターンの像面像の2チップ比較を1つの光学系を用いて行うためには、2チップが正確に対応するように、高精度の位置合せが必要である。本発明では検査の高速化も目的とするため、検査対象を載置するXYステージをステップモリビート形式で位置合せすることは行わず、一定速度で移動させながら検査を行う。

この際、XYステージの速度変動があると、検査対象に誤差が生じてしまう。またXYステージが例えばX方向に、所定速度以上で移動すればX方向の画素寸法が大きくなり、逆に小さい速度で移動すれば画素寸法が小さくなるという不都合が生じる。そして速度変動の影響は、検査対象パターンが数mm間隔の繰返しパターンで

図)を位置検出器によって検出し、XYステージがX方向に一定量移動するたびにタイミング信号を発生させ、照射光量密度形のイメージセンサにスタート信号として与える。この際XYステージの速度変動の影響を受けてスタート信号の周期が変動するが、この周期はイメージセンサの入射光量露光時間であるので、当該時間でイメージセンサ出力を正規化することにより、速度変動の影響を除去した像面像をXYステージ位置に同期して検出する構成とする。

2) チップ上の特定パターンを検出したことにより、画像メモリに検出パターンを収めるタイミングを制御する。この結果、XY方向のチップ配列誤差を補正して、チップ位置に同期した像面像の画像メモリへの格納を行う構成とする。

(発明の実施例)

以下ウェハの多層パターンの外観検査の自動化を達成するためには、既に述べたように、

特開昭62-43505 (4)

撮像画像の2チャップ比較を行う必要がある。これは、対象が多層パターンであるため、2値化が難しく、濃淡のままで比較する必要があること、また、撮像画像同士の比較が微細な欠陥検出に有利であることによる。

撮像画像の2チャップ比較を実現するためには、撮像画像を高解度に検出し、位置合せして比較しなければならない。しかもLSIウェハ上パターンの微細化に伴ない、検出すべき欠陥も微細化しており、高倍率で検査する必要があるため、検出速度の高解化も考慮されねばならない。

このため1次元イメージセンサを用いてXYステージを高速に連続移動させてパターン検出を行うこととした。

以下、本発明を図1図から図7図を用いて説明する。図1図においてXYステージ11上に設置されたLSIウェハのパターンは照射光装置12のイメージセンサ17に結像レンズ(図示せず)を介し結像されるものとなっている。選択指令をモータドライバ9に与え、モータ10を

ドライブし、XYステージ11をX方向(主走査方向)に走査させる。モータ10の軸に直結したロータリエンコーダ12でモータの回転速度を検出し、モータドライバ9にフィードバックすることによりモータの回転速度を一定に保つ。このフィードバック機構によりモータ10はある速度一定速度で回転しようとするが、XYステージ11の移動速度には多少速度変動が存在する。XYステージ11に位置検出器13を取り付け、XYステージがX方向に一定量移動するたびにタイミング信号14を発生させる。タイミング信号14をイメージセンサ17のスタート信号として与え、イメージセンサをXYステージの移動と同期させる。イメージセンサ17をクロック発生回路15で発生したクロックによりその内部でY方向(主走査方向)に走査させ、XYステージ11のX方向走査と組み合わせて、2次元画像信号を得る。タイミング信号14は画像間隔を挟む信号とする。タイミング信号14の間隔Tを蓄積時間カウンタ16で計測し、感度補正回路18でイメ

ージセンサ17の出力を補正する。補正されたイメージセンサ出力は画像メモリ21に書き込むと同時に既に書き込まれていたデータともども比較判定回路22に送出される。比較判定回路22では、これらの画像データを比較し、不一致を欠陥と判定する。画像メモリはX座標カウンタ18及びY座標カウンタ18により制御される。X座標カウンタはタイミング信号14を計数し、Y座標カウンタはクロックを計数することによって画像メモリのアドレスを制御する。Y座標カウンタは、タイミング信号14がくると検出する一定値にセットする。位置ずれ検出回路23は、チャップの配列誤差を検出し、位置ずれ量によりX座標カウンタ18及びY座標カウンタ18を制御することにより、画像メモリ21には繰返しパターンの対応する部分を同一座標に記憶する。

次に各部の動作を説明する。

XYステージ11のX方向への移動速度は、理想的にはイメージセンサ17の内部走査同期で1画像走査分だけ移動する速度であるが、実際には

はその速度は理想速度よりずれているのが通常である。XYステージ11に取り付けた位置検出器13は図2図に示すようにそのスケールが規則正しくきざされてあり、XYステージの位置をこのスケールにより読み取ってイメージセンサ17を駆動することによって、XYステージの速度変動の有無、大小にかかわらずチャップのパターンを等間隔に規則正しくサンプリングすることが出来る。

XYステージ11の速度変動は、イメージセンサ17の入射光蓄積時間(露光時間)の変動となって現われ、これがためにイメージセンサからの画像信号の明るさも変動することになる。図3図は、この様子主走査方向のパターンが同一として示したものである。図示の如く区間Tで露光蓄積された画像信号は次の区間T+1でイメージセンサ17より出力されるが、区間T、T+1の大きさが異なる場合は同一パターンに対する画像信号といえどもその信号レベルが異なる。このため正しい信号レベルをもった画像

特開昭62-43505 (5)

信号を得るべくイメージセンサ17からの画像信号を入射光量露後時間によってその信号レベルを補正する必要がある。露後時間カウンタ18と感度補正回路20により画像信号 V_i を

$$V_i \rightarrow \frac{V_i}{T_i}$$

とする変換を行う。ここで k は定数である。

位置ずれ検出部21はチップ2の配列誤差を検出する。X方向の配列誤差については、第4図(a)に示すように所定のエリア内でチップの左端のパターンを検出し、これにより画像メモリ21への書き込みを開始することによって補正する。すなわち、X座標カウンタ15はチップの左端のパターンを検出するたびにゼロクリアされるわけである。ただし、XYステージ11が図示の方向と逆方向に移動する場合は、チップの右端のパターンを検出するたびにX座標カウンタ15がゼロクリアされる。Y方向のチップの配列誤差については、図示の位置ずれ量 ΔY を第4図(b)に示す第1固定窓において、第4図(a)の所定のエリア内でチップの上端のパターンを検出する

ことにより前もって判定しておく。そして、第2固定窓以降において、Y座標カウンタ16はチップ2.0.1についてはある一定値 α のオフセットを設け、検出したパターンを画像メモリ21に書き込む。チップ2.0.1については $\alpha = \Delta Y$ のオフセットを設けて書き込む。オフセット α はY方向の配列誤差のとりうる範囲を考え、 $\alpha \geq \Delta Y_{max}$ とする。ここで、 ΔY_{max} はX方向の配列誤差の最大値である。これにより、画像メモリ21上でチップ2.0.1及び2.0.2のパターンのX方向及びY方向に関する位置合せがなされ、チップ2.0.1及び2.0.2内部の対応するパターンが同一帯域に入る。

なお、画像メモリ21はチップ2.0.1或いは2.0.2のうちイメージセンサ17が走査する領域を記憶するだけの容量があれば十分である。画像メモリへの書き込みの様子を第5図に示す。同図中、斜線部が画像メモリに書き込まれる部分である。Aはメモリへの書き込み番号を、Bはメモリからの読み出し番号を示す。即ち画像メモリ21に

は $(X, Y) = (0, \alpha)$ 番地以降にチップ2.0.1のパターンがチップの左端より書き込まれる。チップ2.0.2のパターンの左端が検出されると、画像メモリ21には $(0, \alpha - \Delta Y)$ 番地以降にチップ2.0.2のパターンが書き込まれると同時に、画像メモリよりチップ2.0.1のパターンデータを読み出す。画像データの読み出しは同一帯域への画像データの書き込み前に行う。検出したチップ2.0.1のパターンと画像メモリ21より読み出したチップ2.0.2のパターンを比較判定回路22に送出し、不一致を欠陥と判定する。

位置ずれ検出部21によるエッジ検出動作を第6図に示す。第6図(a)において、例えばチップ上のX方向の所定範囲 X_{P1} 、Y方向の所定範囲 Y_{P1} である所定のエリア(第4図(a)斜線部に対応)内のパターンに第7図に示すエッジオペレータを作用させ、第6図(b)に示すようなエッジを検出する。これより第6図(c)に示すような所定範囲 X_{P1} 内のY方向のエッジのヒストグラムを作成して、最も配数の多いX座標の位置をエ

ッジ位置として検出する。X方向のパターンのエッジ位置についても第6図と同様にして検出することができる。検出したエッジ位置よりチップの配列誤差を知ることができる。

X方向及びY方向の配列誤差を補正するためのチップの左端及び上端のパターンの検出は、チップの内部の特定パターンをXYステージの空送りによって検出し、設計データとの比較によりチップの左端及び上端のパターンの座標を算出することによって置き換えることも可能である。位置ずれ検出回路22は、左端及び上端のパターンの座標を位置検出部21が検出すると動作し、X座標カウンタ15及びY座標カウンタ16を制御する。

かかる構成とすれば、温度変動のため位置検出部21のスケールの長さが変動しても、比較する2チップ間にはスケールの長さ変動による差が現われないので、非常に高精度に比較検査ができる。

〔発明の効果〕

特開昭62-43505 (6)

本発明により、LSIウェハの多層パターンを高精度に検出でき、その外周検査を自動化することができる。即ち、XYステージの速度変動、繰返しパターンの配列誤差によらず、正確にパターンの輪郭画像を検出可能であり、連続画像の2チップ比較により高いスループットで欠陥欠陥を検出できる。

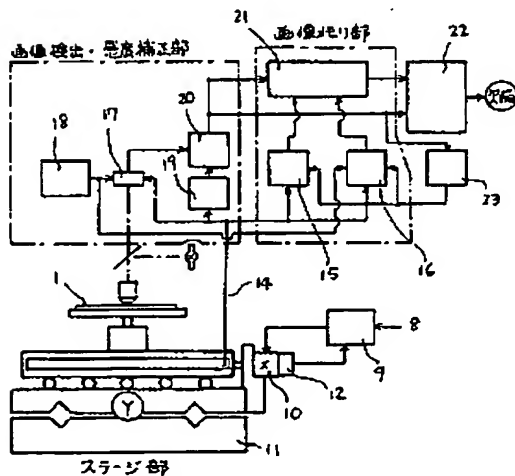
4. 図面の簡単な説明

第1図は本発明の実施例を示す図、第2図は位置検出器とイメージセンサ及びチップの位置関係を概示する図、第3図はイメージセンサの入射光受容時間と画像信号の関係を概示する図、第4図(a)、第4図(b)は位置ずれ検出の例を示す図、第5図は画像メモリへ書き込みと読出しの例を示す図、第6図は位置ずれ検出におけるエッジ検出の例を示す図、第7図はエッジオペレータの例を示す図、第8図はLSIウェハの例を示す図、第9図は従来のLSIウェハ外周検査装置の例を示す図、第10図はチップ配列誤差の例を示す図である。

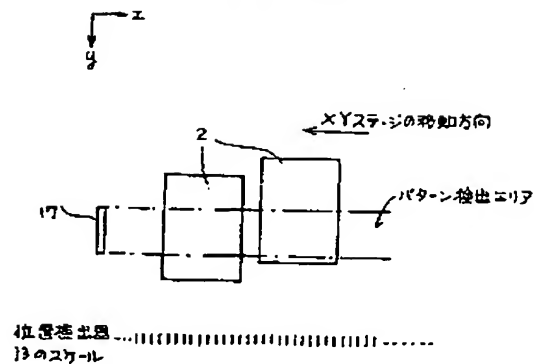
- | | |
|---------------|---------------|
| 1...LSIウェハ | 2...チップ |
| 11...XYステージ | 13...位置検出器 |
| 15...X座標カウンタ | 16...Y座標カウンタ |
| 17...イメージセンサ | 18...クロック発生回路 |
| 19...露光時間カウンタ | 20...感度補正回路 |
| 21...画像メモリ | 22...比較判定回路 |
| 23...位置ずれ検出回路 | |

代理人弁護士 小川 勝 男

第 1 図

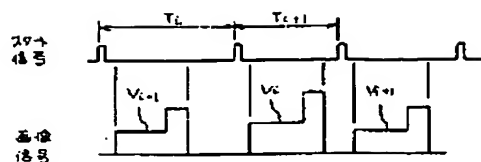


第 2 図

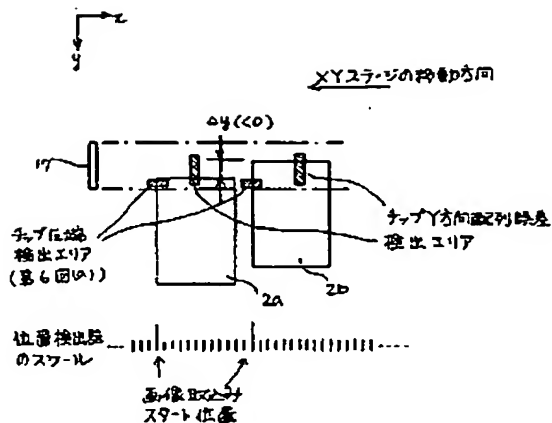


特開昭 62-43505 (7)

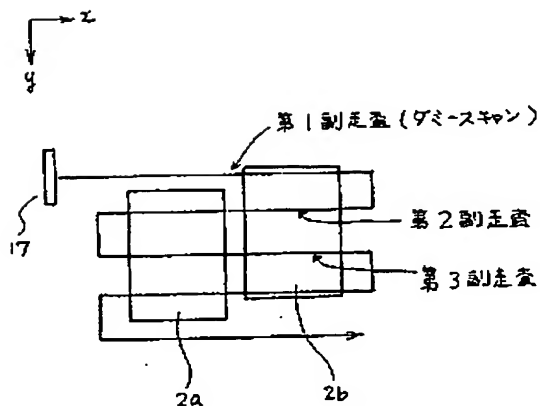
2 3 4



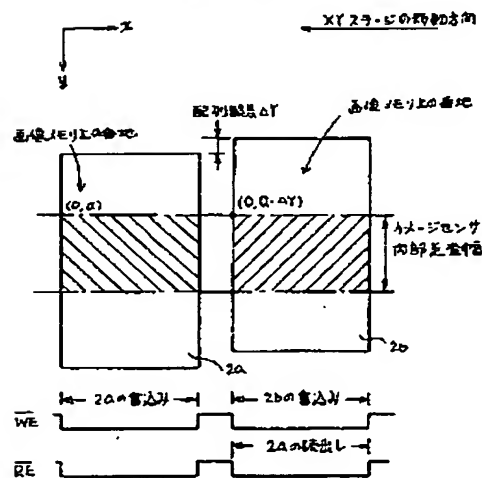
4 ③
(a)



4 (b)

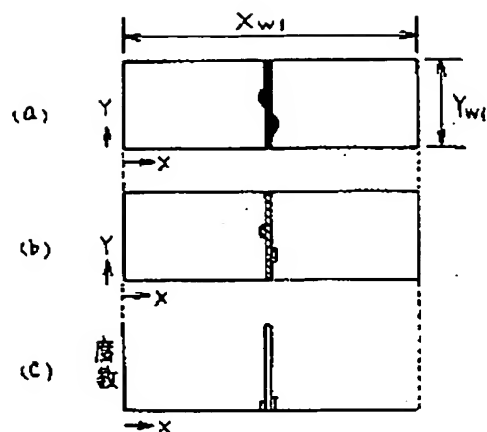


5 12

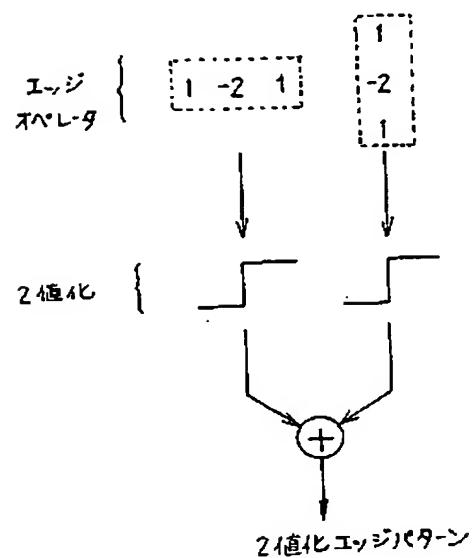


特開昭62-43505 (8)

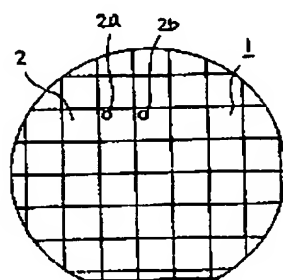
第 6 図



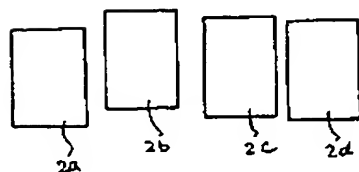
第 7 図



第 8 図



第 10 図



第 9 図

